



Dkt. 2271/65888

2185 <sup>735</sup>  
03-21-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application of : Yasutoshi HIRANO

Serial No. : 09/955,885

Group Art Unit: 2185

Date Filed : September 19, 2001

Examiner:

For : DIGITAL SIGNAL PROCESSOR AND MODEM USING THE SAME

COPY OF PAPERS  
ORIGINALLY FILED

1185 Avenue of the Americas  
New York, N.Y. 10036

Assistant Commissioner for Patents  
Washington, D.C. 20231

RECEIVED

MAR 04 2002

Technology Center 2100

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Applicant hereby claims priority under 35 U.S.C. §119. Applicant hereby transmits a  
certified copy of the following priority application:

Application No.

Filed in Japan

2000-292289

September 26, 2000

Respectfully submitted,

RICHARD F. JAWORSKI  
Registration No. 33,515  
Attorney for Applicant  
Cooper & Dunham LLP  
Tel.: (212) 278-0400

I hereby certify that this paper is being  
deposited this date with the U.S. Postal  
Service as first class mail addressed to:  
Assistant Commissioner for Patents,  
Washington, D.C. 20231

Richard F. Jaworski Date  
Reg. No. 33,515



76 3888  
S.N. 09/955, 885

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

COPY OF PAPERS  
ORIGINALLY FILED

Date of Application: September 26, 2000

Application Number: Japanese Patent Application  
No. 2000-292289

Applicant(s): RICOH COMPANY, LTD.

September 6, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No. 2001-3082355



日本国特許庁  
JAPAN PATENT OFFICE

09/955885

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月26日

出願番号

Application Number:

特願2000-292289

出願人

Applicant(s):

株式会社リコー

COPY OF PAPERS  
ORIGINALLY FILED

RECEIVED

MAR 04 2002

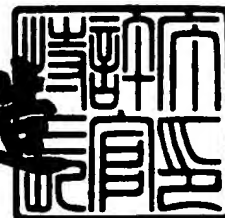
Technology Center 2100

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 9月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3082355

【書類名】 特許願

【整理番号】 173508

【提出日】 平成12年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/06  
G06F 15/16

【発明の名称】 D S P 信号処理装置及びその D S P 信号処理装置を使用したモデム

【請求項の数】 8

【発明者】  
【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内  
【氏名】 平野 益敏

【特許出願人】  
【識別番号】 000006747  
【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号  
【氏名又は名称】 株式会社リコー

【代理人】  
【識別番号】 100062144  
【弁理士】  
【氏名又は名称】 青山 葆

【選任した代理人】  
【識別番号】 100086405  
【弁理士】  
【氏名又は名称】 河宮 治

【手数料の表示】  
【予納台帳番号】 013262  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1

特 2 0 0 0 - 2 9 2 2 8 9

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DSP 信号処理装置及びその DSP 信号処理装置を使用したモデム

【特許請求の範囲】

【請求項 1】 実行するためのプログラムを格納する内部メモリを有する DSP を備えた DSP 信号処理装置において、

上記 DSP で実行されるすべてのプログラムがあらかじめ格納された外部メモリ部と、

上記 DSP に対するクロック信号を生成して出力するクロック信号発生部と、

必要に応じて該外部メモリ部に格納されたプログラムを読み出して上記 DSP の内部メモリに格納する転送回路部と、  
を備え、

該転送回路部は、上記クロック信号発生部に対して DSP へのクロック信号の供給を停止させた後、上記 DSP の内部メモリに対して外部メモリ部から読み出したプログラムの格納を行うことを特徴とする DSP 信号処理装置。

【請求項 2】 上記転送回路部は、外部メモリ部に格納されているプログラムの所望の部分を読み出して上記 DSP の内部メモリに格納することを特徴とする請求項 1 記載の DSP 信号処理装置。

【請求項 3】 上記転送回路部は、DSP からの要求に応じて上記外部メモリ部に格納されたプログラムを読み出して DSP の内部メモリに格納することを特徴とする請求項 1 又は 2 記載の DSP 信号処理装置。

【請求項 4】 上記転送回路部は、外部からの要求に応じて上記外部メモリ部に格納されたプログラムを読み出して DSP の内部メモリに格納することを特徴とする請求項 1、2 又は 3 記載の DSP 信号処理装置。

【請求項 5】 実行するためのプログラムを格納する内部メモリを有する DSP を備えた DSP 信号処理装置を用いて通信データの変復調を行うモデムにおいて、

上記 DSP 信号処理装置は、

上記 DSP で実行されるすべてのプログラムがあらかじめ格納された外部メモ

リ部と、

上記DSPに対するクロック信号を生成して出力するクロック信号発生部と、  
必要に応じて該外部メモリ部に格納されたプログラムを読み出して上記DSP  
の内部メモリに格納する転送回路部と、  
を備え、

該転送回路部は、上記クロック信号発生部に対してDSPへのクロック信号の  
供給を停止させた後、上記DSPの内部メモリに対して外部メモリ部から読み出  
したプログラムの格納を行うことを特徴とするモデム。

【請求項6】 上記転送回路部は、外部メモリ部に格納されているプログラ  
ムの所望の部分を読み出して上記DSPの内部メモリに格納することを特徴とす  
る請求項5記載のDSP信号処理装置。

【請求項7】 上記転送回路部は、DSPからの要求に応じて上記外部メモ  
リ部に格納されたプログラムを読み出してDSPの内部メモリに格納することを  
特徴とする請求項5又は6記載のモデム。

【請求項8】 上記転送回路部は、DSP信号処理装置外からの要求に応じ  
て上記外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに  
格納することを特徴とする請求項5、6又は7記載のモデム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部にプログラムを格納するROMを有し、必要に応じて内部プロ  
グラムRAMに実行プログラムを転送し、該内部プログラムRAMにより命令を  
実行するDSP信号処理装置及びそのDSP信号処理装置を使用したモデムに関  
する。

【0002】

【従来の技術】

近年のDSP（ディジタル・シグナル・プロセッサ）の進歩は処理可能なデジ  
タル信号処理の規模を拡大させた。コスト等の問題によりDSP内部に搭載でき  
るプログラムRAMの規模は限られている。このため小規模な内部プログラムR

AMで、該内部プログラムRAMの記憶容量を超えるプログラムを実行する場合、DSPの外部に設けられた外部ROMに該プログラムを格納する領域を備え、必要に応じて該外部ROMから内部プログラムRAMにプログラムを転送して実行するという方法が一般的であった。

## 【 0 0 0 3 】

また、このようなDSPを用いた信号処理装置として、特開平9-311845号公報では、外部にプログラムを格納するROMを有し、起動時に内部プログラムRAMに実行プログラムを転送し、該内部プログラムRAMに格納された命令を実行する複数のDSPを備えた信号処理装置が開示されている。また、特開2000-40028号公報では、外部にプログラムを格納するROM、DP-RAM及びCPUをDSP外部に有し、該CPUによって必要なプログラムをDP-RAMに転送し、該プログラムの転送が行われた後、DSPへのリセット信号が解除されてアクティブとなったDSPは、DP-RAMからプログラムを内部プログラムRAMに取り込み、動作を開始する信号処理装置が開示されている。

## 【 0 0 0 4 】

また、近年のDSPの進歩により、モデムのデータ変復調をDSPで実現することで通信速度の向上が実現できた。しかしこれによって、プログラムデータとして実現しなければならない変復調方式は増大し、すべてのプログラムをDSP内の内部プログラムRAMに格納することはコスト的に困難となった。また、モデムに関する勧告の追加等が短いサイクルで行われており、DSPに内部プログラムROMを備えてプログラムを格納すると、該勧告に対応するためには、DSPを入れ替える必要があり、製造業者及び消費者ともに不利益が生じていた。

## 【 0 0 0 5 】

このことから、データ変復調にDSPを用いた最近のモデムでは、内部に小規模なプログラムRAMを備えたDSPと、DSP外部に書き換え可能なROMを備え、該外部ROMに格納されているプログラムを必要に応じて、DSPの内部プログラムRAMに転送して、DSPを動作させるという方式をとっている。また、このような方法によって、アップデートによる勧告の追加等に対して外部R



OMへの対応が容易にできるようになった。

【0006】

また、特開平6-164655号公報では、外部にプログラムを格納するROMを有し、該ROMから内部プログラムRAMに実行プログラムを転送し、該内部プログラムRAMに格納された命令を実行するDSPを使用したモデムが開示されている。

【0007】

【発明が解決しようとする課題】

しかし、特開平9-311845号公報及び特開2000-40028号公報では、DSPに内蔵されたプログラムRAM内のプログラムを入れ替えるときは、DSPにリセット信号をアサートしており、内部プログラムRAM内のプログラムが入れ替えられた後、DSPは初期化される。このため、例えばI/Oポート等を有するDSPの場合、プログラムの入れ替えが行われるごとにI/Oポートを再設定する必要が生じ、DSPのパフォーマンスが低下するという問題があった。

【0008】

また、DSPを使用したモデムにおいては、データ変復調プログラムの入れ替えは通信中に行われるため、迅速なプログラムの入れ替えが必要となる。従来の方式では、DSPにリセット信号をアサートしてプログラムを入れ替え、その後リセット信号を解除してDSPを動作させるといった方式をとっていた。リセット信号解除後の起動直後にはリセット信号によって、DSPの内部パラメータや、アナログフロントエンド(AFE)のパラメータが初期化されているため、それらの再設定を行う必要があり、実際の変復調プログラムを開始するまでに時間がかかり、通信の切断を引き起こす可能性があった。

【0009】

また、同じ変調方式でもキャリア周波数や変調速度が変わると受信及び送信に関係するパラメータが異なる(アルゴリズムは同じ)。この場合、キャリア周波数や変調速度に応じてプログラムをすべて入れ替えるか(リセット信号により内部プログラムRAMも初期化されるため、プログラム一部のみの入れ替えはでき

ない。)、又は同一の変調方式ですべてのパラメータを内部プログラムRAMにロードしておく必要があった。前者の場合は上述のような入れ替え時間の問題があり、後者の場合は内部プログラムRAMの規模が大きくなり、コスト増大を招くという問題があった。

#### 【0010】

本発明は、上記のような問題を解決するためになされたものであり、DSP動作中にプログラムを入れ替える必要が生じた場合、DSPに対するクロック信号の出力制御を行うことによって、DSPに対してリセットをかけることなく内部プログラムRAM内のプログラムを入れ替えることができるDSP信号処理装置及び該DSP信号処理装置を使用したモデムを得ることを目的とする。

#### 【0011】

なお、特開平6-164655号公報では、外部ROMに格納されたプログラムをDSPの内部プログラムRAMに転送する方法を述べているが、DSP動作中のプログラムの入れ替えについて明解な方法は示されていない。該公報では、DSPのプログラムのアップデートに柔軟に対応することが命題となっており、小規模な内部プログラムRAMで該RAMの記憶容量を超えるプログラムを実行することについての解決方法については触れられていない。これらのことから、特開平6-164655号公報で開示された技術は、本発明とは異なるものである。

#### 【0012】

##### 【課題を解決するための手段】

この発明に係るDSP信号処理装置は、実行するためのプログラムを格納する内部メモリを有するDSPを備えたDSP信号処理装置において、DSPで実行されるすべてのプログラムがあらかじめ格納された外部メモリ部と、DSPに対するクロック信号を生成して出力するクロック信号発生部と、必要に応じて該外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納する転送回路部とを備え、該転送回路部は、クロック信号発生部に対してDSPへのクロック信号の供給を停止させた後、DSPの内部メモリに対して外部メモリ部から読み出したプログラムの格納を行うものである。

【 0 0 1 3 】

具体的には、上記転送回路部は、外部メモリ部に格納されているプログラムの所望の部分を読み出してDSPの内部メモリに格納するようにした。

【 0 0 1 4 】

また、上記転送回路部は、DSPからの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしてもよい。

【 0 0 1 5 】

また、上記転送回路部は、外部からの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしてもよい。

【 0 0 1 6 】

一方、この発明に係るモデムは、実行するためのプログラムを格納する内部メモリを有するDSPを備えたDSP信号処理装置を用いて通信データの変復調を行うモデムにおいて、DSP信号処理装置は、DSPで実行されるすべてのプログラムがあらかじめ格納された外部メモリ部と、DSPに対するクロック信号を生成して出力するクロック信号発生部と、必要に応じて該外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納する転送回路部とを備え、該転送回路部は、クロック信号発生部に対してDSPへのクロック信号の供給を停止させた後、DSPの内部メモリに対して外部メモリ部から読み出したプログラムの格納を行うようにした。

【 0 0 1 7 】

具体的には、上記転送回路部は、外部メモリ部に格納されているプログラムの所望の部分を読み出してDSPの内部メモリに格納するようにした。

【 0 0 1 8 】

また、上記転送回路部は、DSPからの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしてもよい。

【 0 0 1 9 】

また、上記転送回路部は、DSP信号処理装置外からの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしてもよい。

## 【 0 0 2 0 】

## 【 発 明 の 実 施 の 形 態 】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

図 1 は、本発明の実施の形態における DSP 信号処理装置の例を示したブロック図である。

図 1 において、DSP 信号処理装置 1 は、実行するためのプログラムを格納する内部プログラム RAM 3 を内蔵した DSP 2 と、該 DSP 2 が実行するすべてのプログラムが格納された外部 ROM 4 と、該外部 ROM 4 に格納されたプログラムの所望の部分を内部プログラム RAM 3 に転送する転送回路 5 とを備えている。更に、DSP 信号処理装置 1 は、DSP 2 及び転送回路 5 に対するクロック信号 CLK を生成して出力するクロック生成回路 6 と、該クロック生成回路 6 で生成されたクロック信号 CLK の DSP 2 への出力制御を行うクロック制御回路 7 とを備えている。

## 【 0 0 2 1 】

外部 ROM 4 と転送回路 5 は、転送データバス 1 1 で接続され、転送回路 5 と内部プログラム RAM 3 は、転送データバス 1 2 で接続されている。更に、転送回路 5 は、外部 ROM 4 に対する制御信号 S a、内部プログラム RAM 3 に対する制御信号 S b 及びクロック制御回路 7 に対する制御信号 S c を出力する。また、転送回路 5 には、内部プログラム RAM 3 に格納されているプログラムの入れ替え要求信号 S d 及び内部プログラム RAM 3 へのアクセス状態を示す内部状態信号 S e がそれぞれ DSP 2 から入力される。

## 【 0 0 2 2 】

一方、クロック生成回路 6 は、生成したクロック信号 CLK を転送回路 5 に出力すると共にクロック制御回路 7 を介して DSP 2 に出力される。更に、転送回路 5 には、外部のホストプロセッサ 1 5 から内部プログラム RAM 3 に格納されているプログラムの入れ替え要求信号 S f が入力されるようにしてもよい。この場合、該ホストプロセッサ 1 5 には、クロック生成回路 6 からクロック信号 CLK が入力される。DSP 2 は、入力されたクロック信号 CLK を基にして動作し、クロック信号 CLK が入力されなくなるとクロック信号 CLK が入力されるま

で動作を停止する。

【0023】

このような構成において、DSP 2 から転送回路 5 へプログラムの入れ替え要求信号 S d が入力された場合の各部の動作について説明する。

DSP 2 は、内部プログラム RAM 3 に格納されているプログラムの入れ替え要求信号 S d を転送回路 5 に出力する。転送回路 5 は、DSP 2 が内部プログラム RAM 3 にアクセスしていないサイクル、すなわち DSP 2 が内部プログラムバスを解放しているサイクルを DSP 内部状態信号 S e から検知し、該サイクル中にクロック制御回路 7 に DSP 2 へのクロック信号停止要求を行う制御信号 S c を出力する。

【0024】

クロック制御回路 7 は、転送回路 5 から入力された DSP 2 へのクロック信号 CLK の停止を示した制御信号 S c に従って、DSP 2 へのクロック信号 CLK の出力を停止する。この後、転送回路 5 は、制御信号 S a 及び転送データバス 1 1 を用いて外部 ROM 4 から所望のプログラムデータを読み出し、制御信号 S b 及び転送データバス 1 2 を用いて、該読み出したプログラムデータを内部プログラム RAM 3 に転送する。なお、転送回路 5 には、転送されるデータのメモリ空間及びサイズ等があらかじめセットされており、このことから、転送回路 5 は、転送すべきプログラムの転送元である外部 ROM 4 の位置、転送先である内部プログラム RAM 3 の位置及びサイズを認識している。

【0025】

内部プログラム RAM 3 へのプログラムの転送が完了すると、転送回路 5 は、クロック制御回路 7 に DSP 2 へのクロック信号供給要求を行う制御信号 S c を出力する。クロック制御回路 7 は、DSP 2 へのクロック信号 CLK の供給を再開し、DSP 2 は、クロック信号 CLK が入力されることによって動作を再開し、入れ替えられた内部プログラム RAM 3 に格納されたプログラムで動作を開始する。このようにして、内部プログラム RAM 3 に格納されたプログラムの入れ替えが完了する。

【0026】

図 2 は、図 1 で示した DSP 信号処理装置 1 における内部プログラム RAM 3 内のプログラムの入れ替え動作例を示したフローチャートである。図 2 を用いて、DSP 信号処理装置 1 における内部プログラム RAM 3 のプログラム入れ替え時の各部の動作についてもう少し詳細に説明する。

図 2 において、まず最初に、DSP 2 は、転送回路 5、例えば転送回路 5 内のレジスタ等に対して、プログラムデータの読み出しを開始する外部 ROM 4 のアドレス、プログラムデータの書き込みを開始する内部プログラム RAM 3 のアドレス、及びデータ転送数の設定を行う（ステップ S 1）。

#### 【0027】

次に、DSP 2 は、転送回路 5 に対してプログラム入れ替え要求信号 S d を出力し（ステップ S 2）、転送回路 5 は、内部状態信号 S e から、内部プログラム RAM 3 にプログラムデータの転送が可能か否か、すなわち DSP 2 が内部プログラム RAM 3 にアクセスしていないサイクルか否かを調べ（ステップ S 3）、内部プログラム RAM 3 にプログラムデータの転送が可能である場合（YES）、転送回路 5 は、クロック制御回路 7 に DSP 2 へのクロック信号停止要求を行う制御信号 S c を出力する（ステップ S 4）。また、ステップ S 3 で、内部プログラム RAM 3 にプログラムデータの転送が不可能である場合（NO）、内部プログラム RAM 3 にプログラムデータの転送が可能になるまでステップ S 3 の動作を行う。

#### 【0028】

次に、クロック制御回路 7 は、DSP 2 へのクロック信号 CLK の出力を停止して DSP 2 は動作を停止し（ステップ S 5）、転送回路 5 は、外部 ROM 4 から所望のプログラムデータを読み出して内部プログラム RAM 3 に書き込む（ステップ S 6）。更に、転送回路 5 は、レジスタ等に設定された、プログラムデータを読み出した外部 ROM 4 のアドレス、プログラムデータを書き込んだ内部プログラム RAM 3 のアドレス及び転送済みプログラムデータ数をそれぞれインクリメントする（ステップ S 7）。

#### 【0029】

次に、転送回路 5 は、内部プログラム RAM 3 に転送したデータ数の確認を行

い、データ転送が終了したか否か、すなわち転送済みデータ数が設定されたデータ転送数になったか否かを判定し（ステップ S 8）、データ転送が終了していない場合は（N O）、ステップ S 6に戻る。また、ステップ S 8で、データ転送が終了した場合（Y E S）、転送回路 5は、クロック制御回路 7に対して D S P 2へのクロック信号供給要求を行う制御信号 S cを出力する（ステップ S 9）。クロック制御回路 7は、D S P 2へのクロック信号 C L Kの供給を再開し（ステップ S 1 0）、D S P 2は、入れ替えられた内部プログラム R A M 3内のプログラムで動作を再開し（ステップ S 1 1）、本フローは終了する。

#### 【 0 0 3 0 】

一方、上記説明では、D S P 2から転送回路 5にプログラム入れ替え要求信号 S dが出力される場合を例にして説明したが、ホストプロセッサ 1 5から転送回路 5にプログラム入れ替え要求信号 S fが出力される場合について、図 3のフローチャートを用いて説明する。なお、図 3では、図 2と同じフローは同じ符号で示しており、ここではその説明を省略すると共に図 2との相違点のみ説明する。

図 3における図 2との相違点は、図 2のステップ S 1をステップ S 2 1に、図 2のステップ S 2をステップ S 2 2の動作に置き換えたことにある。

#### 【 0 0 3 1 】

図 3において、まず最初に、ホストプロセッサ 1 5は、転送回路 5、例えば転送回路 5内のレジスタ等に対して、プログラムデータの読み出しを開始する外部 R O M 4のアドレス、プログラムデータの書き込みを開始する内部プログラム R A M 3のアドレス、及びデータ転送数の設定を行う（ステップ S 2 1）。次に、ホストプロセッサ 1 5は、転送回路 5に対してプログラム入れ替え要求信号 S fを出力し（ステップ S 2 2）、その後、図 2のステップ S 3～S 1 1の動作を行う。

#### 【 0 0 3 2 】

図 4は、上記 D S P 信号処理装置 1をモデムに使用した場合を示したブロック図である。なお、図 4では、図 1と同じものは同じ符号で示しており、ここではその説明を省略する。

図 4において、モデム 2 1は、D S P 信号処理装置 1、ホストプロセッサ 1 5

及び公衆回線網等の通信回線上のアナログ信号をディジタル信号に変換するアナログフロントエンド（以下、AFEと呼ぶ）22で構成されている。

【0033】

DSP2は、AFE22を介して公衆回線網等の通信回線に接続され、ホストプロセッサ15は、パソコン等の情報処理機器からなるデータ端末装置（以下、DTEと呼ぶ）25に接続されている。DTE25がパソコンの場合、ホストプロセッサ15とDTE25は、例えばRS232Cを使用して接続される。DSP2は、モデム21におけるデータ変復調を行い、ホストプロセッサ15は、主にDTEとのデータの受け渡し及びモデム21全体の制御等を行い、転送回路5に接続されると共にDSP2に接続されている。

【0034】

DTE25からのデータを通信回線に送信する場合、DTE25からホストプロセッサ15に出力されたデータは、ホストプロセッサ15によって定められたプロトコルに従って変換され、変調データとしてDSP2に出力される。DSP2は、入力された変調データを内部プログラムRAM3に格納されたプログラムに従って変調を行い電話網帯域のディジタル信号に変換する。DSP2で変換されたディジタル信号は、AFE22でアナログ信号に変換され公衆回線網等の通信回線に送信される。

【0035】

これに対して、公衆回線網等の通信回線からのデータを受信する場合、公衆回線網等の通信回線から受信されたアナログ信号は、AFE22でディジタル信号に変換されてDSP2に入力される。DSP2は、入力された受信信号を内部プログラムRAM3に格納されたプログラムに従って復調し、ホストプロセッサ15に出力する。ホストプロセッサ15は、入力された復調データを定められたプロトコルに従って受信データに変換してDTE25に出力する。DSP2は、内部プログラムRAM3に格納されたプログラムに従って変復調の演算を行い、該変復調の演算は適用される勧告によって異なる。なお、DSP信号処理装置1における内部プログラムRAM3内のプログラムの入れ替え動作は、図1～図3で説明したため、ここではその説明を省略する。



## 【0036】

上記のように、本実施の形態におけるDSP信号処理装置は、DSP2内の内部プログラムRAM3に格納されているプログラムの入れ替えを行う際、転送回路5は、クロック制御回路7に対してDSP2へのクロック信号CLKの供給を停止させ、外部ROM4に格納されている所望のプログラムを読み出して内部プログラムRAM3に更新させて格納させ、転送終了と共にクロック制御回路7に対してDSP2へのクロック信号CLKの供給を再開させるようにした。このことから、DSP動作中に内部プログラムRAM内のプログラムの入れ替えの必要が発生した場合、DSPに対してリセットをかけることなく内部プログラムRAM内のプログラムを入れ替えることができ、DSPのパフォーマンスを低下させることなく記憶容量の小さい小規模な内部プログラムRAMを用いて大規模なプログラムを実行させることができる。更に、内部プログラムRAM内のプログラムの入れ替えを行っている間は、DSPへのクロック信号の供給は停止しているため、消費電力の低減を図ることができる。

## 【0037】

また、本実施の形態におけるDSP信号処理装置をモデムに使用することによって、内部プログラムRAM3内のプログラムを入れ替えた後、DSP2の内部パラメータやAFE22のパラメータの再設定等を行う必要がなく、速やかに変復調プログラムを実行することができるため、従来方式のモデムと比較して通信の切断をおこす可能性を低減させることができる。また、変復調プログラムのすべてではなく一部のみの入れ替えが可能のため、同じ変調方式でもキャリア周波数や変調速度が変わり受信及び送信に関係するパラメータのみが異なる場合、変調方式のプログラムはそのまま、パラメータのみを入れ替えることが可能となる。

## 【0038】

## 【発明の効果】

上記の説明から明らかなように、本発明のDSP信号処理装置によれば、DSP内の内部メモリに格納されているプログラムの入れ替えを行う際、転送回路は、クロック信号発生部に対してDSPへのクロック信号の供給を停止させ、外部

メモリに格納されている所望のプログラムを読み出して内部メモリに更新させて格納させ、転送終了と共にクロック信号発生部に対してDSPへのクロック信号の供給を再開させるようにした。このことから、DSP動作中に内部メモリのプログラムの入れ替えを行う必要が生じた場合、DSPに対してリセットをかけることなく内部メモリ内のプログラムを入れ替えることができ、DSPのパフォーマンスを低下させることなく記憶容量の小さい小規模な内部メモリを用いて大規模なプログラムを実行させることができる。更に、内部メモリ内のプログラムの入れ替えを行っている間は、DSPへのクロック信号の供給は停止しているため、消費電力の低減を図ることができる。

## 【0039】

具体的には、外部メモリ部に格納されているプログラムの所望の部分を読み出してDSPの内部メモリに格納するようにした。このことから、プログラムの入れ替えが短時間で行え、これにより細かなプログラム入れ替え制御が可能となる。

## 【0040】

また、DSPからの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしたことから、DSPの要求によって内部プログラムメモリの入れ替えがDSPの初期化を行わずにできる。

## 【0041】

また、外部からの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしてもよく、このようにすることによって、外部のホストプロセッサの要求によりDSPの内部メモリ内のプログラムの入れ替えがDSPの初期化を行わずにできるため、外部のホストプロセッサにより検知されたプログラム入れ替え要因にも対応できるため、柔軟なシステム設計が可能となる。

## 【0042】

一方、本発明のモデムによれば、クロック信号発生部に対してDSPへのクロック信号の供給を停止させた後、DSPの内部メモリに対して外部メモリ部から読み出したプログラムの格納を行うようにした。このことから、DSPの内部メ

メモリ内のプログラムを入れ替えた後、DSPの内部パラメータやAFEのパラメータの再設定等を行う必要がなく、速やかに変復調プログラムを実行することができるため、従来方式のモデムと比較して通信の切断をおこす可能性を低減させることができる。

#### 【0043】

具体的には、外部メモリ部に格納されているプログラムの所望の部分を読み出してDSPの内部メモリに格納するようにした。このことから、変復調プログラムのすべてではなく一部のみの入れ替えが可能のため、同じ変調方式でもキャリア周波数や変調速度が変わり受信及び送信に関係するパラメータのみが異なる場合、変調方式のプログラムはそのまま、パラメータのみを入れ替えることが可能となる。

#### 【0044】

また、DSPからの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしたことから、DSPの要求によって内部プログラムメモリの入れ替えがDSPの初期化を行わずにできる。

#### 【0045】

また、DSP信号処理装置外からの要求に応じて外部メモリ部に格納されたプログラムを読み出してDSPの内部メモリに格納するようにしてもよい。このようにすることによって、DSP信号処理装置外のホストプロセッサの要求により内部メモリの部分的な入れ替えが行えることから、プログラムの入れ替えが短時間で行え、これにより細かなプログラム入れ替え制御が可能となる。またDSP信号処理装置外からのホストプロセッサによる制御のため、該ホストプロセッサにより検知されたプログラム入れ替え要因にも対応できるため、柔軟なシステム設計が可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態におけるDSP信号処理装置の例を示したブロック図である。

【図2】 図1で示したDSP信号処理装置1の動作例を示したフローチャートである。

【図 3】 図 1 で示した D S P 信号処理装置 1 の他の動作例を示したフローチャートである。

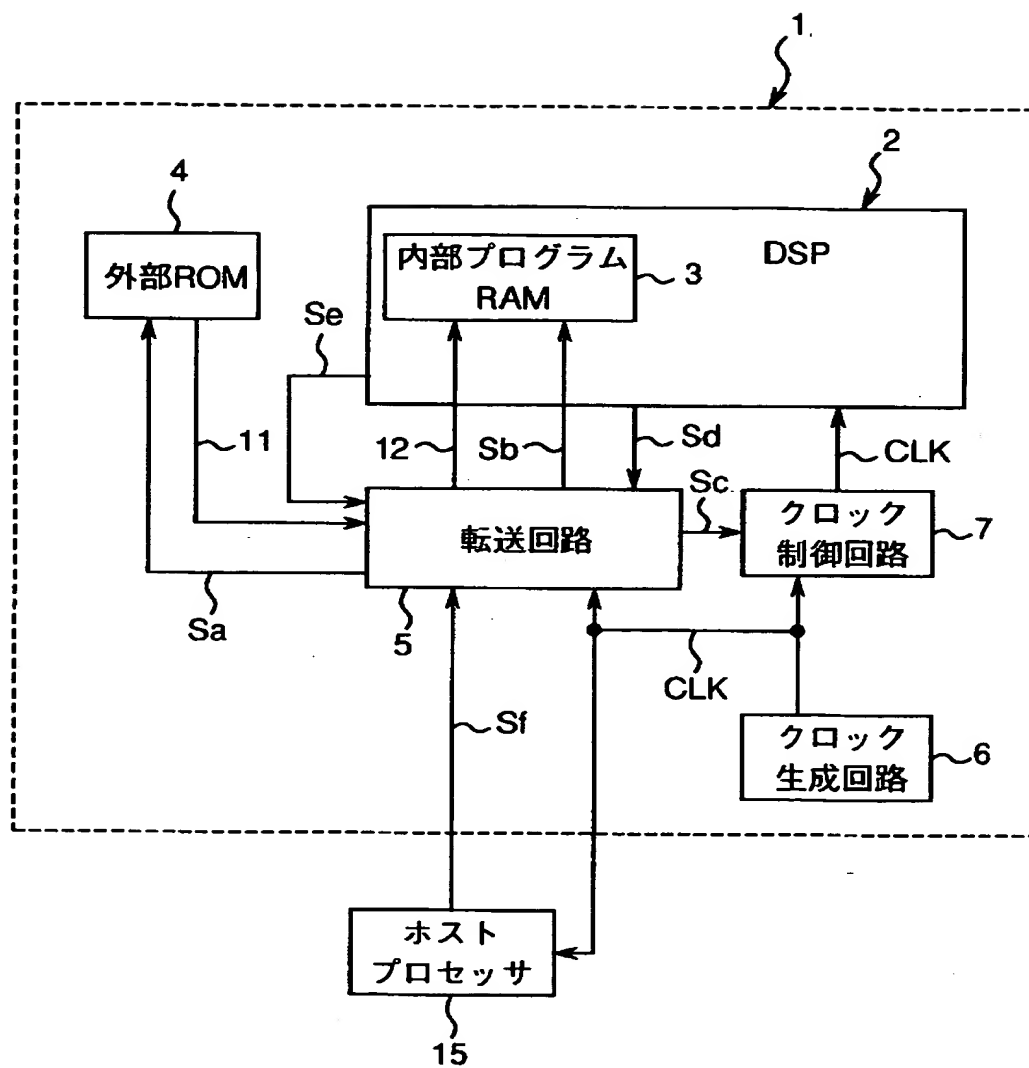
【図 4】 図 1 で示した D S P 信号処理装置 1 を使用したモデムの例を示した概略のブロック図である。

【符号の説明】

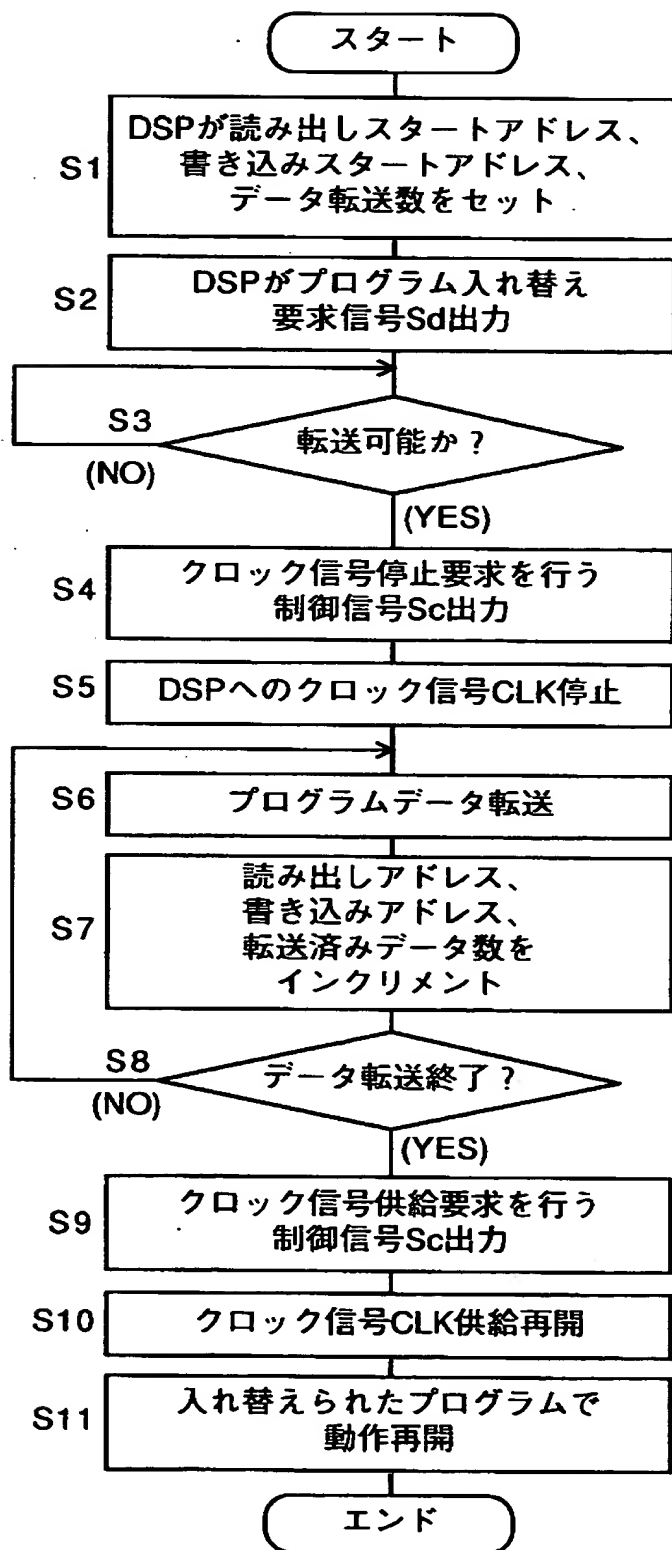
- 1    D S P 信号処理装置
- 2    D S P
- 3    内部プログラム R A M
- 4    外部 R O M
- 5    転送回路
- 6    クロック生成回路
- 7    クロック制御回路
- 1 5   ホストプロセッサ
- 2 1   モデム
- 2 2   A F E
- 2 5   D T E

【書類名】 図面

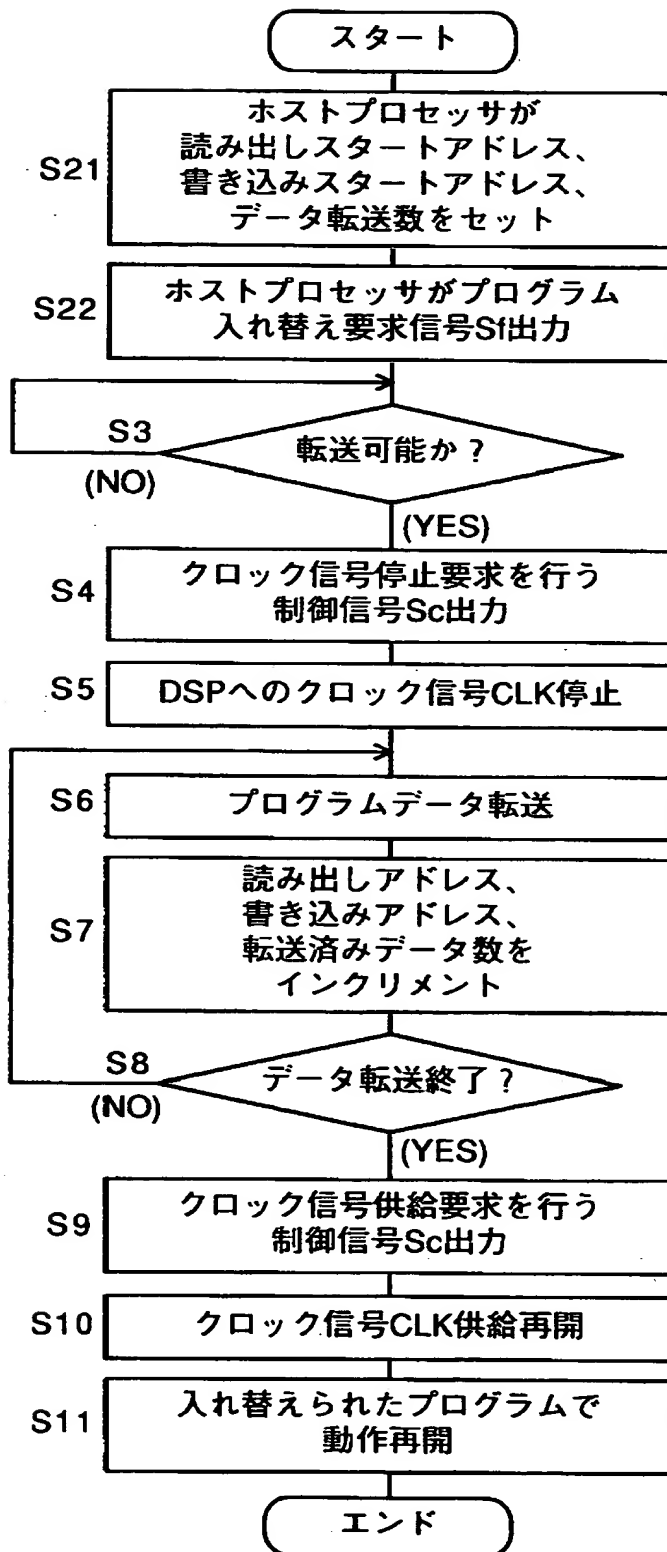
【図 1】



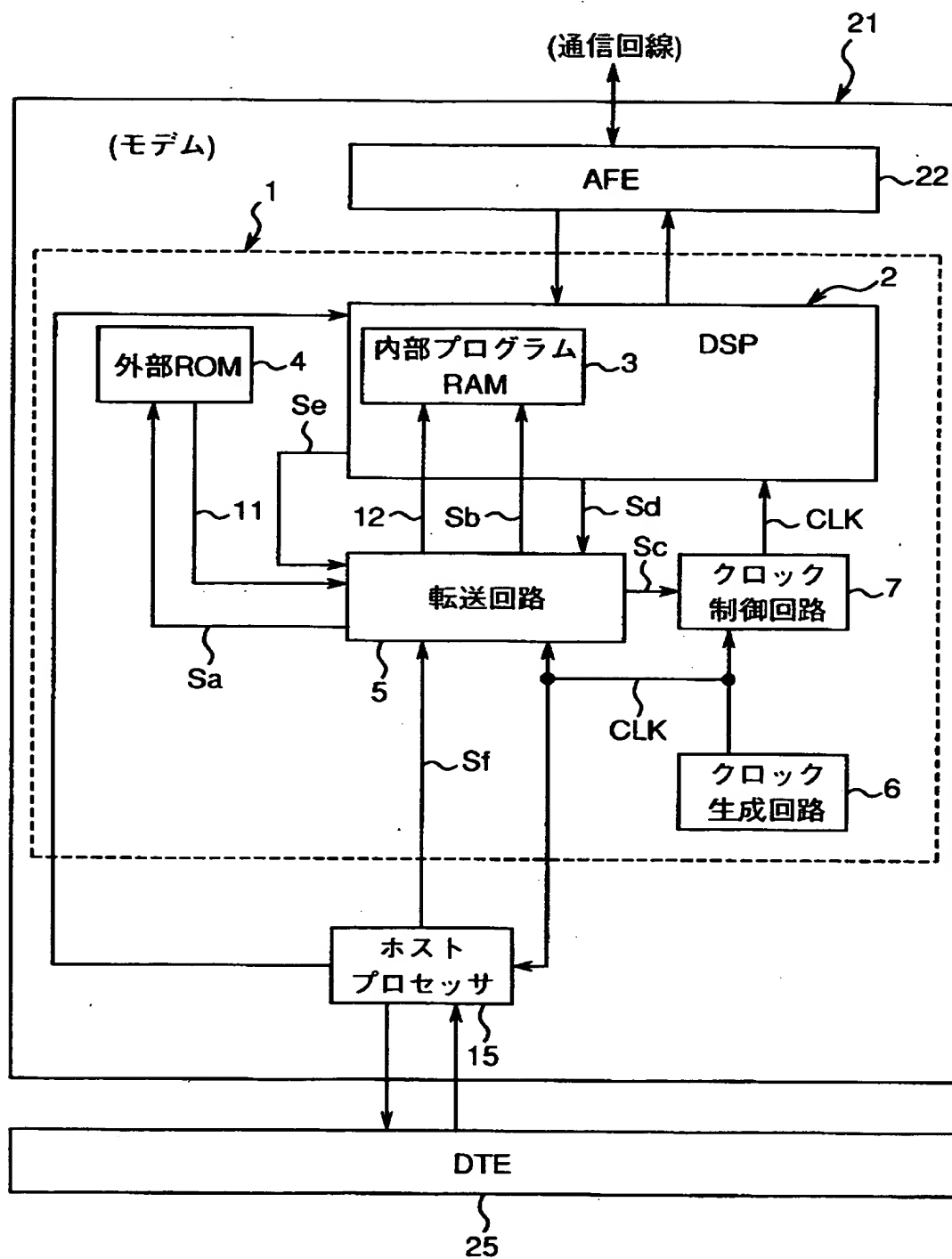
【図 2】



【図3】



【図 4】





【書類名】 要約書

【要約】

【課題】 DSPに対してリセットをかけることなく内部プログラムRAM内のプログラムを入れ替えることができるDSP信号処理装置及び該DSP信号処理装置を使用したモデムを得る。

【解決手段】 DSP2内の内部プログラムRAM3に格納されているプログラムの入れ替えを行う際、転送回路5は、クロック制御回路7に対してDSP2へのクロック信号CLKの供給を停止させ、外部ROM4に格納されている所望のプログラムを読み出して内部プログラムRAM3に更新させて格納させ、転送終了と共にクロック制御回路7に対してDSP2へのクロック信号CLKの供給を再開させるようにした。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー